



**Europäisches
Patentamt**

**European
Patent Office**

**Office européen
des brevets**

Bescheinigung

Certificate

Attestation

Die angehefteten Unterlagen stimmen mit der ursprünglich eingereichten Fassung der auf dem nächsten Blatt bezeichneten europäischen Patentanmeldung überein.

The attached documents are exact copies of the European patent application described on the following page, as originally filed.

Les documents fixés à cette attestation sont conformes à la version initialement déposée de la demande de brevet européen spécifiée à la page suivante.

Patentanmeldung Nr. Patent application No. Demande de brevet n°

02425575.4

Der Präsident des Europäischen Patentamts;
Im Auftrag

For the President of the European Patent Office

Le Président de l'Office européen des brevets
p.o.

R C van Dijk



Europäisches
Patentamt

European
Patent Office

Office européen
des brevets

Blatt 2 der Bescheinigung
Sheet 2 of the certificate
Page 2 de l'attestation

Anmeldung Nr.:
Application no.:
Demande n°: 02425575.4

Anmeldetag:
Date of filing:
Date de dépôt: 25/09/02

Anmelder:
Applicant(s):
Demandeur(s):
STMicroelectronics S.r.l.
20041 Agrate Brianza (Milano)
ITALY

Bezeichnung der Erfindung:
Title of the invention:
Titre de l'invention:

Process and devices for transmitting digital signals over buses and computer program product therefor

In Anspruch genommene Priorität(en) / Priority(ies) claimed / Priorité(s) revendiquée(s)

Staat:
State:
Pays:

Tag:
Date:
Date:

Aktenzeichen:
File no.
Numéro de dépôt:

Internationale Patentklassifikation:
International Patent classification:
Classification internationale des brevets:
G06F13/42, G06F13/40

Am Anmeldetag benannte Vertragsstaaten:
Contracting states designated at date of filing:
Etats contractants désignés lors du dépôt:

AT/BG/BE/CH/CY/CZ/DE/DK/EE/ES/FI/FR/GB/GR/IE/IT/LI/LU/MC/NL/

Bemerkungen:
Remarks:
Remarques:

See for the original title of the application, page 1 of the description

"Procedimento e dispositivi per la trasmissione di segnali digitali su bus e relativo prodotto informatico"

* * *

5 Campo dell'invenzione

La presente invenzione si riferisce alle tecniche per la codifica dei dati ed affronta in modo specifico il problema della codifica dei segnali digitali destinati ad essere trasmessi su un bus. Questo con lo
10 scopo principale di ridurre le transizioni dei livelli di segnale sul bus, ossia quella che - con denominazione corrente nel settore - è chiamata "attività di commutazione" (switching activity o, in breve, SA).

15 Descrizione della tecnica nota

Per ridurre le transizioni, e dunque l'attività di commutazione sui bus, è noto ricorrere a varie tecniche di codifica. La tecnica correntemente denominata bus inverter o, in breve BI, è considerata la soluzione più
20 adatta per bus di dimensioni ridotte, ad esempio fino a 8 bit. Questo anche se i risultati possono variare in base al tipo di dati trattati.

La tecnica bus inverter attua una codifica basata sull'inversione logica dei bit dei segnali trasmessi ed
25 impiega una linea aggiuntiva di bus, indicata con INV, per indicare al ricevitore se il dato inviato è invertito o no.

Indicato con $D(t)$ il dato che si vuole trasmettere e con $B(t)$ il corrispondente dato che transita sul bus
30 ad un generico istante di tempo t , il principio di funzionamento posto alla base della tecnica bus inverter è essenzialmente rappresentato dall'espressione logica:

$(B(t), \text{inv}(t)) = (D(t), 0)$ se $H(D(t), B(t-1)) \leq n/2$
(NOT(D(t)), 1) negli altri casi

Nell'espressione sopra riportata, n indica la dimensione del bus espressa in numero di bit mentre l'operatore $H(.)$ indica un operatore di distanza quale ad esempio la distanza di Hamming. Il simbolo NOT(.) indica naturalmente l'operazione di inversione logica (0 \rightarrow 1, 1 \rightarrow 0).

In sostanza, la decisione in merito a se invertire ovvero non invertire il dato viene presa calcolando la distanza fra il dato $D(t)$ che si vuole spedire all'istante t ed il dato $B(t-1)$ utilizzato per la trasmissione sul bus per l'istante di trasmissione precedente.

La tecnica sopra descritta è utilizzata anche in varianti come quella denominata Adapted Partial Bus Inverter (APBI). Con questa tecnica, sviluppata soprattutto per l'impiego su bus di grandi dimensioni, il numero di bit a cui applicare la tecnica di bus inverter è ridotto tramite maschere. Si tratta di maschere mantenute fisse per un'intera finestra di trasmissione e calcolate tramite una stima effettuata sul tipo di dati da trasmettere. Ciò comporta tempi di elaborazione notevoli e la necessità di ricorrere ad un circuito per il calcolo/stima della maschera di tipo piuttosto complicato.

Scopi e sintesi dell'invenzione

La presente invenzione si prefigge lo scopo di perfezionare ulteriormente le tecniche descritte in precedenza.

Secondo la presente invenzione, tale scopo viene raggiunto grazie ad un procedimento avente le caratteristiche richiamate in modo specifico nelle

rivendicazioni che seguono. L'invenzione riguarda anche i relativi dispositivi di codifica e di decodifica nonché i corrispondenti prodotti informatici, direttamente caricabili nella memoria interna di un elaboratore numerico e comprendenti porzioni di codice software suscettibili di implementare il procedimento e/o i dispositivi secondo l'invenzione quando tali prodotti informatici sono eseguiti su un elaboratore numerico.

10 In sintesi, la soluzione secondo l'invenzione riduce l'insieme di bit a cui si applica la tecnica di codifica (ad esempio bus inverter) ad un sottoinsieme dei bit compresi nel segnale digitale o dato.

La soluzione secondo l'invenzione si basa sul riconoscimento del fatto che la tecnica del bus inverter (BI) è particolarmente vantaggiosa rispetto alle altre tecniche per bus di piccole dimensioni, dunque per piccoli insiemi di bit (fino a circa 8-10 bit), mentre per bus di dimensioni maggiori sono preferibili altri metodi, suscettibili di dare risultati migliori rispetto alla tecnica nota del bus inverter dove, in caso di codifica, tutti i bit del segnale sono invertiti.

Così come si è visto, alcune tecniche di codifica riducono il numero di bit da invertire (come avviene nel caso della tecnica APBI già citata in precedenza, che si applica per bus grandi) riducendo il numero di bit da invertire tramite maschere. Purtroppo le maschere sono fisse per una stessa finestra di trasmissione e devono essere calcolate secondo il tipo di dati.

La soluzione secondo l'invenzione prevede che l'insieme dei bit del bus cui applicare la tecnica del bus inverter sia ridotto in modo dinamico, tenendo fuori i bit che non sono cambiati rispetto alla

trasmissione precedente e quindi non devono essere invertiti, partendo dal bit che statisticamente cambia meno. Il tutto operando in modo variabile dato per dato.

5 Questo risultato è ottenibile usando un bit, denominato bit marcatore (marker), che segna, ovvero marca, il confine tra i bit cui non si deve applicare la tecnica di codifica (ad esempio bus inverter) da quelli in cui invece si deve applicare tale tecnica.

10 La soluzione secondo l'invenzione consente dunque di ottimizzare la tecnica del bus inverter sia nel caso di bus di piccole dimensioni, sia nel caso di bus di grandi dimensioni. Si apprezzerà in particolare che tale tecnica, basata sull'impiego del suddetto bit
15 marcatore o marker può essere applicata con qualunque tecnica di riduzione della switching activity su bus.

Breve descrizione dei disegni annessi

L'invenzione sarà ora descritta, a puro titolo di esempio non limitativo, con riferimento ai disegni
20 annessi, nei quali:

la figura 1 è un diagramma di flusso relativo ad una prima forma di attuazione della soluzione secondo l'invenzione,

- la figura 2 è un altro diagramma di flusso
25 relativo ad una seconda forma di attuazione della soluzione secondo l'invenzione,

- la figura 3 rappresenta, sotto forma di schema a blocchi, un sistema codificatore/bus/decodificatore operante secondo l'invenzione,

30 - la figura 4 è uno schema a blocchi relativo ad un codificatore suscettibile di essere compreso in un sistema quale il sistema rappresentato nella figura 3,

- le figure 5, 6, 7 e 8 rappresentano in maggior dettaglio elementi compresi nello schema della figura
35 4,

- la figura 9 rappresenta la struttura di un decodificatore suscettibile di essere compreso in un sistema quale il sistema rappresentato nella figura 3,

5 - le figure 10 a 13 rappresentano, ricorrendo a rappresentazioni rispettivamente corrispondenti alle rappresentazioni delle figure 4, 5, 8 e 9, una possibile variante di attuazione dell'invenzione.

10 Il diagramma di flusso della figura 1 illustra una prima soluzione di codifica applicabile ad un dato $D(t)$ destinato ad essere trasmesso su un bus P (figura 3) mentre con $B(t)$ si indica in generale il corrispondente segnale effettivamente utilizzato per la trasmissione sul bus P.

15 Tutto questo con riferimento ad un istante di tempo t .

 Di conseguenza, con $B(t-1)$ si indica il segnale utilizzato per la trasmissione sul bus per un istante di tempo precedente, indicato con $t-1$. In pratica $B(t-1)$ è il valore riscontrabile sul bus quando si deve
20 trasmettere $D(t)$.

 Il dato $D(t)$ è composto da n bit ($D_{n-1}, D_{n-2} \dots, D_1, D_0$) mentre il bus P comprende $n+1$ bit: il bus comprende infatti anche la linea per la trasmissione di un segnale addizionale INV destinato ad indicare se il
25 dato trasmesso sul bus è stato sottoposto ad inversione (o, in generale, a codifica) al fine di minimizzare l'attività di commutazione (switching activity o SA) sul bus P.

30 Così come si è visto in precedenza, con la tecnica bus inverter di tipo tradizionale, il dato è codificato (ossia sottoposto ad inversione - su tutti i bit che lo compongono) se la distanza fra il segnale $D(t)$ ed il segnale $B(t-1)$, rilevata su tutti gli n bit, è inferiore a $n/2$.

Al contrario, in un primo esempio di attuazione della tecnica qui descritta, a partire da un passo di avvio indicato con 100, in un passo indicato con 102 si parte dal bit più significativo (MSB) di $D(t)$,
5 denominato $D_{n-1}(t)$, che si spedisce senza codifica sul bus in un passo indicato in generale con 104.

In un successivo passo 106 si controlla quindi se $D_{n-1}(t)$ è uguale al bit più significativo di $B(t-1)$ ovvero sia $B_{n-1}(t-1)$.

10 Se si riscontra l'uguaglianza (esito positivo del passo 106) allora il sistema evolve verso un passo 108 in cui si decrementa l'indice i e la sequenza dei passi 104 e 106 visti in precedenza si ripete con l'indice decrementato.

15 Questo modo di operare equivale a realizzare, in base ad una sequenza ordinata (ad esempio partendo dal bit più significativo), un confronto bit per bit fra $D(t)$ e $B(t-1)$. Tutto ciò prendendo successivamente i vari bit del dato $D(t)$ - procedendo in sequenza
20 ordinata dal bit più significativo al bit meno significativo - e continuando a spedire sul bus P i bit di $D(t)$ -- senza codifica -- fino a quando nel passo 106 si continua a verificare l'identità fra il bit del segnale o dato $D(t)$ ed il corrispondente bit del segnale
25 $B(t-1)$ di volta in volta considerati per il confronto.

Non appena si verifica una disuguaglianza (il che, si sottolinea, può succedere anche alla prima esecuzione del passo 106), il bit in corrispondenza del quale si verifica la disuguaglianza viene assunto come
30 bit di marker ed il sistema evolve verso un passo 110 di decremento dell'indice corrente i per poi procedere, in un passo indicato con 112 alla codifica (ad esempio secondo la tecnica di bus inverter tradizionale) del sottoinsieme di bit rimanenti.

La soluzione descritta prevede dunque che il dato venga codificato solo quando il suddetto valore di distanza H risulta inferiore a $M/2$ dove M indica la posizione (da 0 a $n-1$) del bit di marker individuato
5 nel passo indicato con 106.

Con la tecnica qui descritta, per M diverso da $(n-1)$ si ha sempre un'attività di commutazione minore o al più uguale a quella della tecnica di Bus Inverter tradizionale. Al contrario, per $M=(n-1)$ l'attività di
10 commutazione con la soluzione qui descritta risulta essere maggiore di 1 rispetto a quella della tecnica bus inverter di tipo tradizionale. Il caso particolare $M = (n-1)$ si riscontra però solo nel caso in cui il bit più significativo del dato D cambi rispetto al valore
15 corrente sul bus B .

L'esperienza di impiego pratico della soluzione descritta in precedenza dimostra che con una configurazione o pattern di dati considerati in maniera casuale, la soluzione appena descritta consente in ogni
20 caso di conseguire una riduzione dell'attività di commutazione SA dell'ordine del 51% rispetto ai risultati conseguibili utilizzando la tecnica bus inverter di tipo tradizionale.

In presenza di particolari configurazioni di dati (ad esempio dati che rappresentano una rampa digitale ovvero un numero crescente da 0 a 255) la tecnica appena descritta consente di ottenere una riduzione dell'attività di commutazione dell'ordine dell'83% rispetto alla tecnica bus inverter di tipo
30 tradizionale.

Un'ulteriore miglioramento è conseguibile ricorrendo alla variante realizzativa rappresentata nella figura 2.

In sostanza, la soluzione della figura 2 prevede
35 di trattare a parte il caso di $M = n-1$, distinguendolo

dai casi in cui $M < n-1$ ed applicando nel primo caso la tecnica bus inverter di tipo tradizionale e negli altri casi la soluzione descritta in precedenza con riferimento alla figura 1.

5 L'adozione della soluzione secondo la figura 2 richiede di trasmettere l'ulteriore informazione inerente al caso particolare. Questo può essere fatto utilizzando un segnale INV a tre livelli, ad esempio 0, 0.5 e 1 e codificando in modo ottimale il valore 0
10 per la non inversione, il valore 0.5 per l'inversione nel caso della soluzione innovativa qui descritta ed il valore 1 per l'inversione nel caso in cui si ricorra alla tecnica bus inverter di tipo tradizionale, ossia l'inversione di tutto il dato perché $M = n-1$. E' chiaro
15 che l'inversione del dato, ovvero la sua codifica, è effettuata solo nel caso che il caso codificato trasmesso sul bus abbia un'attività di commutazione minore del suo valore non codificato.

Anche in questo caso si indica con D il dato che
20 dev'essere spedito e con B il dato che effettivamente si trasmette sul bus.

Pertanto $D(t)$ identifica il dato che dev'essere spedito al tempo t mentre $B(t-1)$ è il dato effettivamente utilizzato per la trasmissione relativa
25 all'istante di tempo $t-1$, ossia - in pratica - il valore che si riscontra sul bus quando si deve trasmettere $D(t)$. Come nel caso precedente $B(t)$ rappresenta l'espressione del dato $D(t)$ codificato realmente utilizzato per la trasmissione sul bus
30 in relazione all'istante di tempo t .

Anche in questo caso si suppone il dato $D(t)$ composto da n bit ed il bus P costituito da $n+1$ bit, tenuto conto del bit addizionale richiesto per il segnale INV.

Nel diagramma di flusso della figura 2 passi identici o equivalenti a quelli già descritti con riferimento alla figura 1 sono stati indicati con gli stessi numeri.

5 Anche nel caso della soluzione rappresentata nella figura 2, a partire da un passo di start indicato con 100, nel passo 102 si identifica il bit più significativo di $D(t)$ e si procede quindi un primo passo di confronto 106' - riservato a tale bit più
10 significativo - diretto a verificare se tale bit più significativo $D_{n-1}(t)$ è uguale al bit più significativo di $B(t-1)$ ovvero $B_{n-1}(t-1)$.

Se il passo 106' dà esito positivo, indicativo del fatto che i due bit confrontati sono uguali, il bit
15 coinvolto viene spedito così com'è sul bus settando altresì, in un passo indicato con 114, un corrispondente flag identificativo (Flag=0).

A questo punto si avvia ciclicamente la sequenza dei passi 104, 106'' e 108 secondo le stesse modalità
20 descritte in precedenza nella figura 1, con la differenza data dal fatto che tale sequenza di passi viene attuata (procedendo passo per passo verso i bit meno significativi) tenendo conto, che il bit più significativo è già stato trattato - a parte - nel
25 passo indicato con 106'.

Di conseguenza, anche in questo caso i bit del segnale $D(t)$ vengono spediti sul bus P così come sono, senza codificarli, ossia senza invertirli, fino a
quando il passo 106'' conferma l'uguaglianza con i bit
30 di $B(t-1)$.

Se, a partire da certo bit, il passo 106' dà esito negativo, il relativo bit diventa bit di marker ed il (sotto)insieme di bit rimasti viene sottoposto a codifica (ad esempio trattandolo con la tecnica del Bus inverter classico - passo 112).
35

L'evoluzione diretta verso il passo 112 si ha invece già a partire dal passo 106' nel caso in cui la disuguaglianza venga rivelata in corrispondenza del bit più significativo. Ciò corrisponde ad esito negativo
5 del passo di confronto 106' ed al successivo settare in un passo indicato con 116, un flag (Flag=1) di valore diverso rispetto al flag (Flag=0) settato nel passo 114.

Nel passo 112 si provvede anche alla generazione
10 del bit INV con la seguente legge:

- se il segnale $D(t)$ non risulta - nemmeno parzialmente - da codificare, si pone INV uguale a 0,

- se bisogna codificare ossia invertire (almeno in parte) il segnale $D(t)$, si pone INV pari a 0.5 ovvero
15 pari ad 1 a seconda che il flag sopra richiamato sia stato settato a 0 (passo 114) o ad 1 (116).

La variante realizzativa rappresentata nella figura 2 presenta tutti gli stessi vantaggi della soluzione già descritta in precedenza con riferimento
20 alla figura 1, con l'ulteriore vantaggio dato dal fatto che nel caso particolare di $M = n-1$ si recupera in ogni caso anche la riduzione dell'attività di commutazione riferita al bit più significativo perchè si ritorna alla codifica (ad esempio bus inverter) di tipo
25 tradizionale.

Lo schema a blocchi della figura 3 illustra la generale struttura di un sistema suscettibile di operare con la soluzione secondo l'invenzione (in entrambe le varianti illustrate nelle figure 1 e 2).
30 Nello schema a blocchi della figura 3 sono rappresentati un circuito codificatore 10 ed un circuito decodificatore 20 posti rispettivamente all'estremità di ingresso ed all'estremità di uscita di un bus indicato con P. Tale bus P comprende in generale

n bit di dati (data_bus) più un bit addizionale per la trasmissione del segnale INV (inv_bus).

I simboli DATA_INV e DATA_OUT indicano naturalmente i dati in ingresso ed in uscita rispetto
5 alla trasmissione sul bus P. Tale trasmissione avviene sotto il cadenzamento di un segnale di clock clk inviato tanto al codificatore 10 quando al decodificatore 20, ai quali fa anche capo una generale linea di ripristino (reset).

10 Lo schema a blocchi della figura 4 rappresenta in maggior dettaglio la struttura del codificatore 10.

In tale schema, il riferimento 11 indica un modulo destinato ad eseguire la codifica del dato da trasmettere (in pratica, nell'esempio cui si fa qui
15 riferimento, la sua inversione logica: $0 \rightarrow 1$, $1 \rightarrow 0$).

I blocchi 12 e 13 realizzano, tanto in una connessione invertita quanto in una connessione non-invertita, il calcolo della distanza di Hamming tra due stringhe di n bit.

20 Questo al fine di rilevare il numero di bit diversi fra:

- il dato di ingresso $D(t)$, rappresentato dai segnali data_in (formato non invertito) e data_invert (formato invertito), e

25 - il dato utilizzato per la trasmissione sul bus per l'istante precedente, ossia il valore $B(t-1)$ prelevato a partire dalla linea di uscita data_out_encoder.

Il blocco 14 confronta il valore delle due
30 distanze di Hamming calcolate nei moduli 12 e 13 ed indica in uscita quale fra queste ha il valore minore. Il relativo risultato viene utilizzato per pilotare un multiplex 15 a n bit destinati a trasferire verso l'uscita il segnale di ingresso non invertito ovvero il
35 segnale di ingresso invertito, prelevato all'uscita del

modulo 11 a seconda dell'esito del confronto attuato nel blocco 14.

I riferimenti 16 e 17 indicano due flip flop destinati ad implementare fisicamente la durata del
5 singolo intervallo di tempo che separa fra loro gli istanti di tempo indicati rispettivamente con $t-1$ e t .

Oltre a rappresentare l'uscita del codificatore, l'uscita del flip flop 17 è anche riportata all'ingresso dei blocchi 12 e 13 secondo le modalità
10 descritte in precedenza. L'uscita del flip-flop 16 viene invece riportata all'ingresso del modulo di confronto 14. Tutto questo in modo che, se le due distanze di Hamming calcolate nei moduli 12 e 13 risultano essere uguali, il valore del bit INV da
15 inviare sul bus rimane eguale a quello precedente. Infatti, in tale caso, è assolutamente indifferente inviare sul bus i dati invertiti o meno e quindi la scelta risulta essere determinata dal valore precedente di INV in modo da evitare lo switch di tale bit. Come
20 utile riferimento si può considerare il codice dell'algoritmo del blocco 14 in figura 8.

Lo schema della figura 5 rappresenta, a livello di porte logiche, una possibile implementazione del modulo indicato con 11 nella figura 4.

25 I riferimenti 1011, 1012 e 1013 rappresentano rispettive schiere di porte logiche di tipo EX-OR, AND (NAND) ed ancora EX-OR destinate ad attuare selettivamente l'inversione dei bit del dato di ingresso $D(t)$ in funzione del valore (rilevato bit -
30 per bit) del segnale `data_out_encoder`.

Si apprezzerà che la rappresentazione della figura 5, del tutto evidente per i tecnici esperti del settore, rappresenta soltanto una fra le varianti realizzative - pressoché infinite - che consentono di
35 ottenere lo stesso risultato.

Le stesse considerazioni valgono in sostanza anche per gli schemi delle figure 6 e 7 inerenti in particolare ai moduli indicati con 12 e 13 nella figura 4.

5 Nella modalità invertente (modulo 12) si prendono come segnale d'ingresso il segnale "data_invert" ed il dato all'uscita del codificatore (data_out_encoder), mentre in modalità non-invertente (modulo 13) al posto del segnale data_invert si usa il segnale data_inv.

10 In entrambi i casi delle figure 6 e 7 all'ingresso del modulo 11 o 13 è presente un blocco EX-OR 12a, 13a destinato ad operare bit a bit su due ingressi.

Lo schema della figura 8, relativo al modulo di confronto 14 è diretta a rappresentare i due relativi
15 segnali di ingresso hamm_inv e hamm_noinv provenienti rispettivamente dai moduli 12 a 13 nonché il segnale inv_encoder proveniente dall'uscita del flip-flop 16. All'interno del blocco 14 è riprodotta la descrizione HDL del relativo circuito.

20 Lo schema della figura 9 rappresenta, con formalismo complessivamente simile a quello adottato nella figura 5, lo schema di un decodificatore 20 operante in base alla soluzione in precedenza descritta con riferimento alla figura 1.

25 Anche in questo caso, i riferimenti 2011, 2012 e 2013 indicano rispettive schiere di porte EX-OR, NOR (e OR) nonché di coppie di porte AND e EX-OR che implementano la funzione di ricostruzione del dato trasmesso D a partire dal valore B inviato sul bus P.

30 Il riferimento 2014 indica altresì un flip-flop a cui confluiscono i segnali di clock clk e di reset. Così come già detto con riferimento allo schema della figura 5, la rappresentazione della figura 9, del tutto evidente per il tecnico esperto del settore,
35 corrispondente in realtà ad una sola fra un numero di

varianti praticamente infinite tutte suscettibili di implementare le stesse funzioni logiche.

Lo schema della figura 10 riproduce la struttura di un codificatore operante secondo la variante
5 descritta con riferimento al diagramma di flusso della figura 2.

Si apprezzerà che lo schema è sostanzialmente simile a quello rappresentato nella figura 4, per cui elementi identici o funzionalmente equivalenti a quelli
10 già rappresentati nella figura 4 sono stati indicati con gli stessi numeri di riferimento, il che rende anche superfluo ripetere in questa sede la relativa descrizione.

La principale differenza fra lo schema della
15 figura 10 e la schema della figura 4 è data dalla diversa struttura del modulo 11 destinato a generare, in aggiunta al segnale data_invert anche il segnale marc_MSB che, trasferito al blocco di confronto 14, viene utilizzato per la codifica del bit destinato a
20 convogliare l'informazione INV inerente al possibile ricorso alla tecnica bus inverter tradizionale qualora il passo di confronto 106' della figura 2 abbia rilevato una diversità (flag settati nei passi 114 e 166).

25 Gli schemi delle figure 11, 12 e 13 riproducono, con un formalismo del tutto equivalente a quello adottato in precedenza nelle figure 5, 8 e 9 la struttura del modulo 11 nonché del modulo di confronto 14 ed ancora del relativo decodificatore 20 nel caso in
30 cui si utilizzi la soluzione descritta nel diagramma di flusso della figura 2. Si noterà nello schema della figura 13, la presenza di un blocco addizionale, indicato con 2014' e destinato specificatamente a decodificare il segnale INV (inv_decoder) per rivedere
35 se questo assume il valore 0, il valore 0.5 o il valore

1. L'implementazione di un tale blocco è evidente per il tecnico esperto del settore.

Si apprezzerà peraltro che la soluzione descritta, illustrata come applicata partendo dal bit più
5 significativo (MSB) del segnale $D(t)$ - e del segnale $B(t-1)$ - può essere applicata partendo anche dal bit meno significativo (LSB) ovvero sia partendo tanto dal bit più significativo quanto dal bit meno significativo e quindi chiudersi verso l'interno del dato. La stessa
10 tecnica può essere anche applicata partendo da un qualsiasi altro bit, ad esempio quello centrale, muovendosi verso sinistra ovvero verso destra, ovvero ancora in entrambe le direzioni.

In sostanza, la soluzione descritta in precedenza
15 corrisponde all'individuazione di un sottoinsieme di bit individuato da un bit marcatore o marker, con la possibilità di applicare al sottoinsieme così identificato una qualsiasi tecnica di riduzione dell'attività di commutazione. Tutto questo con la
20 possibilità, per il decodificatore, di identificare il bit di marker, quindi l'insieme di bit sottoposti a codifica proprio perché il bit di marker è il primo bit nella sequenza ordinata di confronto fra $D(t)$ e $B(t-1)$ ad essere stato sottoposto a tale trattamento.

25 In particolare, la soluzione qui descritta è utilizzabile in modo coordinato con un ulteriore perfezionamento della tecnica del bus inverter tale da ridefinire l'uscita nel caso in cui l'attività di commutazione del dato codificato sia uguale
30 all'attività di commutazione del dato non codificato.

Questo rilevando se l'attività di commutazione ottenuta spedendo il dato codificato è uguale all'attività di commutazione ottenuta il dato non
codificato, inviando in questo caso il dato non
35 codificato e ponendo il segnale INV pari a 0.

Infatti, se l'attività di commutazione coincide nei due casi, l'attività di commutazione globale risulta in ogni caso ridotta se si lascia il valore inalterato del bit INV ovvero se $INV = 0$ e si manda il
5 dato non codificato e mantenendo INV sempre a 0, mentre se INV è pari ad 1 allora si manda il dato codificato e mantenendo INV sempre ad 1.

In altre parole, invece di dare ad INV un valore pari a 0, suscettibile di dover passare da 1 a 0 se il
10 suo precedente valore era 1, si lascia ad INV lo stesso valore che già aveva trasmettendo il dato di conseguenza poiché come già detto si ha lo stesso valore come SA.

In sostanza, la soluzione descritta è esprimibile
15 nei termini seguenti:

$$\begin{aligned}(B(t), INV(t)) = & (D(t), 0) && \text{se } H(D(t)), B(t-1) < n/2 \\ & (D(t), 0) && \text{se } H(D(t)), B(t-1) = n/2 \& INV = 0 \\ & (NOT(D(t)), 1) && \text{se } H(D(t)), B(t-1) = n/2 \& INV = 1 \\ & (NOT(D(t)), 1) && \text{se } H(D(t)), B(t-1) > n/2\end{aligned}$$

20 dove $B(t)$ indica il dato che transita sul bus all'istante t e $D(t)$ il dato che si vuole spedire all'istante t . INV indica il valore del bit addizionale destinato ad indicare al ricevitore se il dato inviato è codificato (invertito, nell'esempio qui considerato)
25 oppure no e n indica la dimensione in numero di bit del bus (senza linea o bit addizionale). Il simbolo $NOT(.)$ indica l'operazione di codifica (inversione).

Naturamente, fermo restando il principio dell'invenzione, i particolari di realizzazione e le
30 forme di attuazione potranno essere ampiamente variati rispetto a quanto descritto ed illustrato, senza per questo uscire dall'ambito della presente invenzione, così come definita dalle rivendicazioni annesse.

Si apprezzerà che le soluzioni qui descritte come
35 suscettibili di essere implementate a livello di

specifica circuitazione hardware si prestano anche ad essere implementate a livello software tramite circuiti elaborativi di tipo general purpose adeguatamente programmati con un prodotto informatico che, quando
5 eseguito su tale hardware di tipo general purpose, determina l'attuazione della soluzione secondo l'invenzione.

RIVENDICAZIONI

1. Procedimento per trasmettere ad istanti dati
(..., $t-1$, t , ...) segnali digitali (D) su un bus (P),
5 detti segnali digitali essendo trasmessi sul bus (P)
selettivamente in un formato non codificato ($D(t)$) ed
un formato codificato ($\text{NOT}(D(t))$), la decisione se
trasmettere detti segnali sul bus in formato non
codificato ed in formato codificato essendo presa in
10 funzione dell'operazione di confrontare il segnale
($D(t)$) da trasmettere sul bus (P) per uno (t) di detti
istanti dati con il segnale ($B(t-1)$) utilizzato per la
trasmissione sul bus (P) per il precedente ($t-1$) fra
detti istanti dati così da minimizzare l'attività di
15 commutazione (SA) sul bus (P),

caratterizzato dal fatto che:

- detta operazione di confrontare viene svolta bit
per bit in sequenza ordinata così da identificare,
nell'ambito di detto segnale ($D(t)$) da trasmettere sul
20 bus (P) ad uno (t) di detti istanti dati e di detto
segnale ($B(t-1)$) utilizzato per la trasmissione sul bus
(P) per il precedente ($t-1$) fra detti istanti dati, un
primo insieme di bit che non sono cambiati ed un
secondo insieme di bit che sono cambiati, e

25 - detta decisione se trasmettere detti segnali sul
bus in formato non-codificato ($D(t)$) ed in formato
codificato ($\text{NOT}(D(t))$) viene presa limitatamente ai bit
di detto secondo insieme di bit.

2. Procedimento secondo la rivendicazione 1,
30 caratterizzato dal fatto che comprende l'operazione di
identificare, nell'ambito di detta sequenza ordinata,
almeno un bit marcatore che separa i bit di detto primo
insieme dai bit di detto secondo insieme.

3. Procedimento secondo la rivendicazione 1 o la
35 rivendicazione 2, caratterizzata dal fatto che detta

operazione di confronto bit per bit è svolta a partire dal bit con minore probabilità di cambiamento.

4. Procedimento secondo una qualsiasi delle precedenti rivendicazioni, caratterizzata dal fatto che
5 detta operazione di confronto bit per bit è svolta a partire dal bit più significativo (MSB).

5. Procedimento secondo una qualsiasi delle precedenti rivendicazioni, caratterizzata dal fatto che detta operazione di confronto bit per bit è svolta a
10 partire dal bit meno significativo (LSB).

6. Procedimento secondo una qualsiasi delle rivendicazioni 1 a 5, caratterizzato dal fatto che detta operazione di confronto bit per bit è svolta a partire da un bit dato esplorando gli altri bit
15 sottoposti a confronto muovendosi in una direzione data.

7. Procedimento secondo una qualsiasi delle rivendicazioni 1 a 5, caratterizzato dal fatto che detta operazione di confronto bit per bit è svolta a partire da almeno un bit dato esplorando gli altri bit
20 sottoposti a confronto muovendosi in direzioni opposte.

8. Procedimento secondo una qualsiasi delle precedenti rivendicazioni, caratterizzato dal fatto che comprende l'operazione di trasmettere in formato non
25 codificato il primo bit ($D_{n-1}(t)$) di detto segnale ($D(t)$) da trasmettere sul bus.

9. Procedimento secondo una qualsiasi delle precedenti rivendicazioni 1 a 7, caratterizzato dal fatto che comprende l'operazione di codificare
30 integralmente, in vista della trasmissione sul bus (P), detto segnale ($D(t)$) da trasmettere sul bus (P) se detta operazione di confronto rivela che il primo bit ($D_{n-1}(t)$) considerato in detta sequenza ordinata è cambiato.

10. Procedimento secondo la rivendicazione 1, caratterizzato dal fatto che comprende l'operazione di trasmettere sul bus (P) i bit di detto primo insieme sempre in formato non codificato (D(t)).

5 11. Procedimento secondo una qualsiasi delle precedenti rivendicazioni, caratterizzato dal fatto che detto formato codificato (NOT(D(T))) è ottenuto sottoponendo ad inversione logica i bit del segnale in formato non codificato (D(t)).

10 12. Procedimento secondo una qualsiasi delle rivendicazioni 1 a 11, caratterizzato dal fatto che comprende l'operazione di associare a detti segnali digitali (D(t)) un segnale addizionale (INV) suscettibile di assumere a detti istanti dati (... , t-
15 1, t, ...) valori logici diversi a seconda che il segnale digitale a cui è associato sia trasmesso in detto formato non codificato (D(t)) e, almeno in parte, in detto formato codificato (NOT(D(t))), rispettivamente, per cui detto segnale addizionale è
20 suscettibile di modificare il suo valore logico fra istanti successivi di detti istanti dati (... , t-1, t, ...),

- verificare, per detti segnali digitali (D(t)), il ricorrere della condizione in cui la trasmissione su
25 detto bus (P) in detto formato non codificato (D(t)) ed in detto formato codificato (NOT(D(t))) sono suscettibili di dare origine ad un'identica attività di commutazione (SA) sul bus, e

- decidere se il segnale (D(t)) da trasmettere sul
30 bus (P) ad un dato istante (t) sia da trasmettere in detto formato non codificato (D(t)) ed in detto formato almeno in parte codificato (NOT(D(t))) in modo da far sì che il segnale addizionale (INV) associato a detto segnale (D(t)) da trasmettere sul bus (P) ad un dato
35 istante (t) conservi il suo valore logico rispetto al

valore logico assunto dal segnale addizionale per la trasmissione sul bus (P) per il precedente fra detti istanti dati.

13. Procedimento secondo una qualsiasi delle
5 precedenti rivendicazioni, caratterizzato dal fatto che detta attività di commutazione (SA) sul bus viene determinata come distanza fra detto segnale ($D(t)$) da trasmettere sul bus (P) ad uno (t) fra detti istanti dati ed il segnale ($b(t-1)$) utilizzato per la
10 trasmissione sul bus (P) per il precedente (t) fra detti istanti dati.

14. Procedimento secondo la rivendicazione 13, caratterizzato dal fatto che detta distanza è determinata come distanza di Hamming.

15 15. Codificatore per trasmettere ad istanti dati ($\dots, t-1, t, \dots$) su un bus (P) segnali digitali selettivamente (15) in un formato non codificato ($D(t)$ ed un formato codificato ($NOT(D)t$)), il codificatore comprendendo:

20 - almeno un modulo di confronto (11, 12, 13) per confrontare il segnale ($D(t)$ -data_in) da trasmettere sul bus (P) per uno (t) di detti istanti dati con il segnale ($B(t-1)$ -data_out_encoder) utilizzato per la trasmissione sul bus (P) per il precedente (t-1) fra
25 detti istanti dati ed emettere almeno un corrispondente segnale di decisione (inv_out_comp)

- almeno un modulo di pilotaggio della trasmissione (14, 15) per pilotare la trasmissione di detti segnali sul bus in formato non codificato ed in
30 formato codificato in funzione di detto segnale di decisione (inv_out_comp) così da minimizzare l'attività di commutazione (S) sul bus,

caratterizzato dal fatto che:

- detto almeno un modulo di confronto comprende
35 una rete logica (1011, 1012, 1013, 12, 12a, 13, 13a)

suscettibile di confrontare bit per bit in sequenza ordinata detto segnale ($D(t)$) da trasmettere sul bus (P) ad uno (t) di detti istanti dati e detto segnale ($B(t-1)$) utilizzato per la trasmissione sul bus (P) per
5 il precedente (t-1) fra detti istanti dati, così da identificare un primo insieme di bit che non sono cambiati ed un secondo insieme di bit che sono cambiati, e

- detto almeno un modulo di pilotaggio della
10 trasmissione (14, 15) è configurato per pilotare la trasmissione di detti segnali sul bus in formato non-codificato ($D(t)$) ed in formato codificato ($NOT(D(t))$) limitatamente ai bit di detto secondo insieme di bit.

16. Codificatore secondo la rivendicazione 15,
15 caratterizzato dal fatto che detta rete logica (1011, 1012, 1013, 12, 12a, 13, 13a) realizza detta operazione di confronto bit per bit a partire dal bit con minore probabilità di cambiamento.

17. Codificatore secondo la rivendicazione 15 o la
20 rivendicazione 16, caratterizzato dal fatto che detta rete logica (1011, 1012, 1013, 12, 12a, 13, 13a) realizza detta operazione di confronto bit per bit a partire dal bit più significativo (MSB).

18. Codificatore secondo una qualsiasi delle
25 precedenti rivendicazioni 15 a 17, caratterizzato dal fatto che detta rete logica (1011, 1012, 1013, 12, 12a, 13, 13a) realizza detta operazione di confronto bit per bit a partire dal bit meno significativo (LSB).

19. Codificatore secondo una qualsiasi delle
30 rivendicazioni 15 a 18, caratterizzato dal fatto che detta rete logica (1011, 1012, 1013, 12, 12a, 13, 13a) realizza detta operazione di confronto bit per bit a partire da un bit dato esplorando gli altri bit sottoposti a confronto muovendosi in una direzione
35 data.

20. Codificatore secondo una qualsiasi delle rivendicazioni 15 a 19, caratterizzato dal fatto che detta rete logica (1011, 1012, 1013, 12, 12a, 13, 13a) realizza detta operazione di confronto bit per bit a partire da almeno un bit dato esplorando gli altri bit sottoposti a confronto muovendosi in direzioni opposte.

21. Codificatore secondo una qualsiasi delle precedenti rivendicazioni 15 a 20, caratterizzato dal fatto che detto almeno un modulo di pilotaggio della trasmissione (14, 15) è configurato per pilotare la trasmissione del primo bit ($D_{n-1}(t)$) di detto segnale ($D(t)$) da trasmettere sul bus in formato non codificato.

22. Codificatore secondo una qualsiasi delle precedenti rivendicazioni 15 a 20, caratterizzato dal fatto che detto almeno un modulo di pilotaggio della trasmissione (14, 15) è configurato per pilotare la trasmissione di detto segnale ($D(t)$) da trasmettere sul bus (P) in formato integralmente codificato, se detta rete logica (1011, 1012, 1013, 12, 12a, 13, 13a) indica che il primo bit ($D_{n-1}(t)$) considerato in detta sequenza ordinata è cambiato.

23. Codificatore secondo la rivendicazione 15, caratterizzato dal fatto che detto almeno un modulo di pilotaggio della trasmissione (14, 15) è configurato per trasmettere sul bus (P) i bit di detto primo insieme sempre in formato non codificato ($D(t)$).

24. Codificatore secondo una qualsiasi delle precedenti rivendicazioni 15 a 23, caratterizzato dal fatto che comprende un circuito invertitore (11, 1011, 1012, 1013) per generare detto formato codificato ($\text{NOT}(D(t))$) sottoponendo ad inversione logica i bit del segnale in formato non codificato ($D(t)$).

25. Codificatore secondo una qualsiasi delle rivendicazioni 15 a 24, caratterizzato dal fatto che comprende:

- un modulo (14) per associare a detti segnali digitali ($D(t)$) un segnale addizionale (INV) suscettibile di assumere a detti istanti dati (... , $t-1$, t , ...) valori logici diversi a seconda che il
5 segnale digitale a cui è associato sia trasmesso in detto formato non codificato ($D(t)$) e, almeno in parte, in detto formato codificato ($NOT(D(t))$), rispettivamente, per cui detto segnale addizionale è suscettibile di modificare il suo valore logico fra
10 istanti successivi di detti istanti dati (... , $t-1$, t , ...),

- almeno un modulo (12, 13) per verificare, per detti segnali digitali ($D(t)$), il ricorrere della condizione in cui la trasmissione su detto bus (P) in
15 detto formato non codificato ($D(t)$) ed in detto formato codificato ($NOT(D(t))$) sono suscettibili di dare origine ad un'identica attività di commutazione (SA) sul bus,

e dal fatto che detto almeno un modulo di
20 pilotaggio della trasmissione (14, 15) è configurato per pilotare la trasmissione di detti segnali sul bus in detto formato non codificato ($D(t)$) ed in detto formato almeno in parte codificato ($NOT(D(t))$) in modo da far sì che il segnale addizionale (INV) associato a
25 detto segnale ($D(t)$) da trasmettere sul bus (P) ad un dato istante (t) conservi il suo valore logico rispetto al valore logico assunto dal segnale addizionale per la trasmissione sul bus (P) per il precedente fra detti istanti dati.

30 26. Codificatore secondo una qualsiasi delle precedenti rivendicazioni 15 a 25, caratterizzato dal fatto che comprende almeno un modulo (12, 13) di calcolo di distanza per determinare detta attività di commutazione (SA) sul bus come distanza fra detto
35 segnale ($D(t)$) da trasmettere sul bus (P) ad uno (t)

fra detti istanti dati ed il segnale $(b(t-1))$ utilizzato per la trasmissione sul bus (P) per il precedente (t) fra detti istanti dati.

27. Codificatore secondo la rivendicazione 26,
5 caratterizzato dal fatto che detto almeno un modulo (12, 13) di calcolo di distanza comprende almeno un modulo di calcolo di distanza di Hamming.

28. Decodificatore per ricevere segnali digitali (D) trasmessi su un bus (P) con il procedimento secondo
10 una qualsiasi delle rivendicazioni 1 a 14, caratterizzato dal fatto che comprende:

- una logica di decodifica $(2014;2014')$ suscettibile di identificare nell'ambito di ciascun segnale digitale ricevuto, almeno un bit marcatore che
15 separa i bit di detto primo insieme dai bit di detto secondo insieme, e

- una rete logica di ricostruzione (2011, 2012, 2013) per riconvertire da detto formato codificato $(NOT(D(t)))$ a detto formato non codificato $(D(t))$ i bit
20 di detto secondo insieme.

29. Decodificatore secondo la rivendicazione 28, caratterizzato dal fatto che detta logica di decodifica $(2014;2014')$ è suscettibile di identificare detto
25 almeno un bit marcatore come il bit di detti segnali digitali con minore probabilità di cambiamento.

30. Decodificatore secondo una delle rivendicazioni 28 o 29, caratterizzato dal fatto che detta logica di decodifica $(2014;2014')$ è suscettibile di identificare detto almeno un bit marcatore come il
30 bit più significativo (MSB) di detti segnali digitali $(D(t))$.

31. Decodificatore secondo una qualsiasi delle rivendicazioni 28 a 30, caratterizzato dal fatto che detta logica di decodifica $(2014;2014')$ è suscettibile
35 di identificare detto almeno un bit marcatore come il

bit meno significativo (LSB) di detti segnali digitali ($D(t)$).

32. Decodificatore secondo una qualsiasi delle rivendicazioni 28 a 31, caratterizzato dal fatto che
5 detta logica di decodifica ($2014;2014'$) è suscettibile di identificare detto almeno un bit marcatore come bit di partenza di un'esplorazione di detti dati digitali ($D(t)$) attuata muovendosi in una direzione data.

33. Decodificatore secondo una qualsiasi delle
10 rivendicazioni 28 a 32, caratterizzato dal fatto che detta logica di decodifica ($2014;2014'$) è suscettibile di identificare detto almeno un bit marcatore come bit di partenza di un'esplorazione di detti dati digitali ($D(t)$) attuata muovendosi in un direzioni opposte.

15 34. Decodificatore secondo una qualsiasi delle precedenti rivendicazioni 28 a 33, caratterizzato dal fatto che il decodificatore è configurato per assumere come trasmesso in formato non codificato il primo bit ($D_{n-1}(t)$) di detti segnali digitali ($D(t)$).

20 35. Decodificatore secondo una qualsiasi delle precedenti rivendicazioni 28 a 34, caratterizzato dal fatto che il decodificatore è configurato per assumere i bit di detto primo insieme come sempre trasmessi in detto formato non codificato ($D(t)$).

25 36. Decodificatore secondo una qualsiasi delle precedenti rivendicazioni 28 a 35, caratterizzato dal fatto che detta rete logica di ricostruzione (2011, 2012, 2013) riconverte detti segnali digitali da detto formato codificato ($NOT(D(t))$) a detto formato non
30 codificato ($D(t)$) tramite inversione logica dei bit sottoposti a codifica.

37. Prodotto informatico direttamente caricabile nella memoria interna di un elaboratore numerico e comprendente porzioni di codice software suscettibili
35 di attuare il procedimento secondo una qualsiasi delle

rivendicazioni 1 a 14 quando detto prodotto informatico è eseguito su un elaboratore numerico.

5 38. Prodotto informatico direttamente caricabile nella memoria interna di un elaboratore numerico e comprendente porzioni di codice software suscettibile di implementare il codificatore secondo una qualsiasi delle rivendicazioni 15 a 27 quando il prodotto informatico è eseguito su un elaboratore numerico.

10 39. Prodotto informatico direttamente caricabile nella memoria interna di un elaboratore numerico e comprendente porzioni di codice software suscettibile di implementare il decodificatore secondo una qualsiasi delle rivendicazioni 28 a 36 quando il prodotto informatico è eseguito su un elaboratore numerico.

15

RIASSUNTO

Segnali digitali (D) sono trasmessi su un bus (P) ad istanti dati (... , t-1, t, ...) selettivamente in un formato non codificato (D (t)) ed un formato codificato (NOT (D)t)). La decisione se trasmettere i segnali in formato non codificato ed in formato codificato è presa in funzione dell'operazione (106) di confrontare il segnale (D(t)) da trasmettere sul bus (P) per uno (t) dei suddetti istanti dati con il segnale (b(t-1)) utilizzato per la trasmissione sul bus (P) per il precedente (t-1) fra i suddetti detti istanti dati così da minimizzare l'attività di commutazione (SA) sul bus. L'operazione di confronto (106) viene svolta bit per bit in sequenza ordinata (108) così da identificare, nell'ambito del segnale (D(t)) da trasmettere sul bus (P) ad un istante dato (t) e del segnale (B(t-1)) utilizzato per la trasmissione sul bus (P) per l'istante dato precedente (t-1), un primo insieme di bit che non sono cambiati ed un secondo insieme di bit che sono cambiati. La decisione se trasmettere detti segnali sul bus in formato non codificato (D(t)) ed in formato codificato (NOT(D(t))) è quindi presa limitatamente ai bit di detto secondo insieme di bit.

(Figura 1)

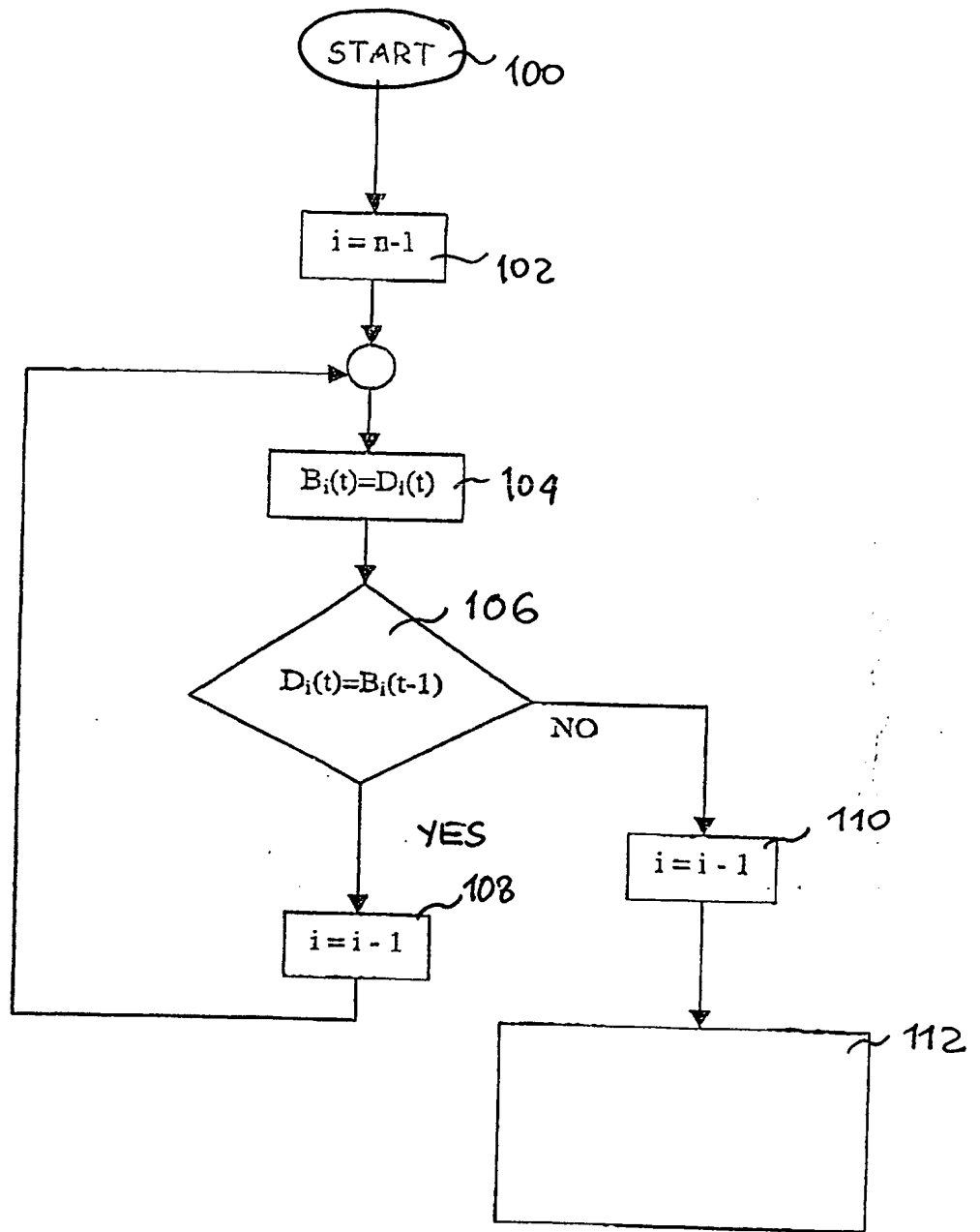


Fig. 1

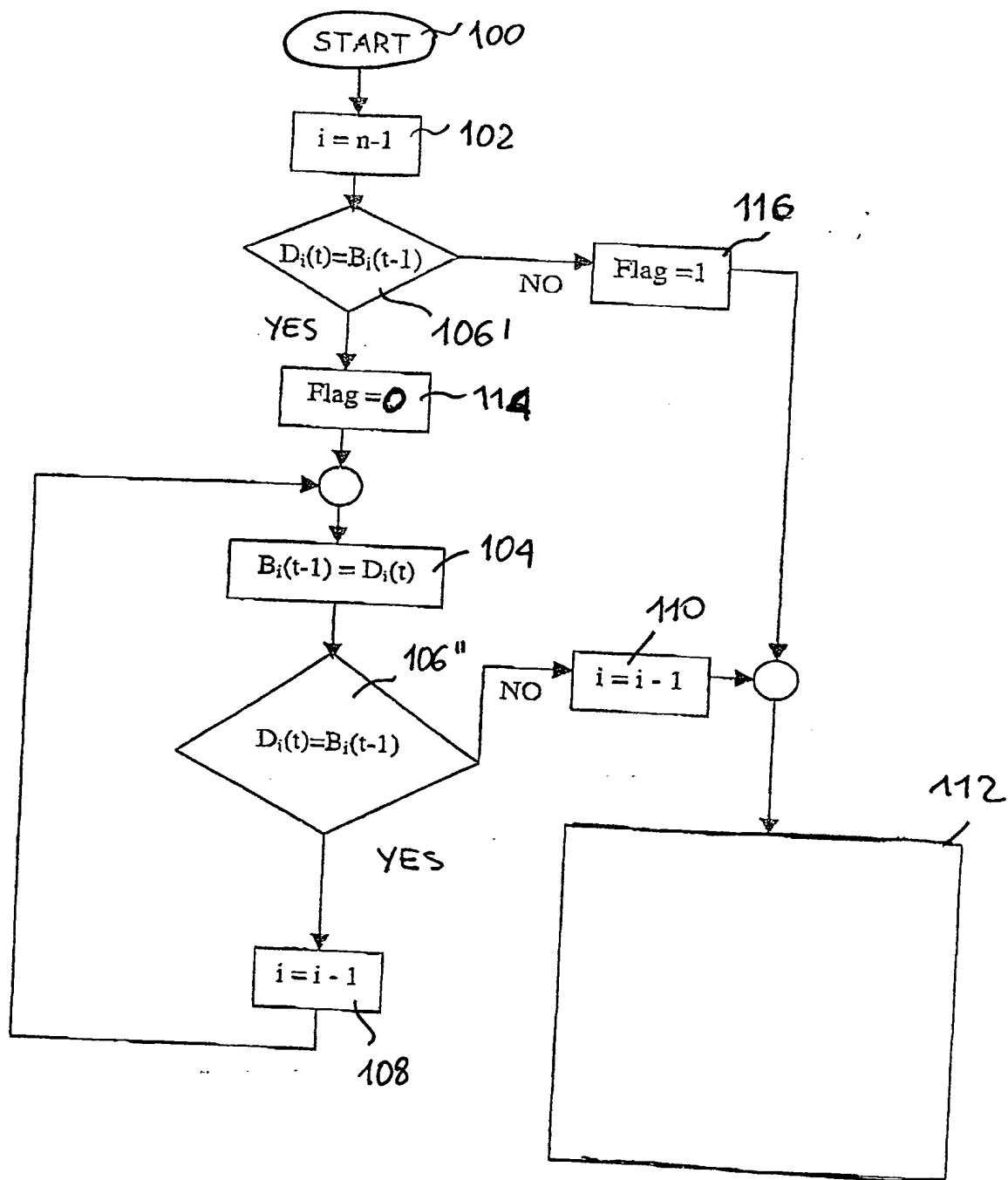


Fig. 2

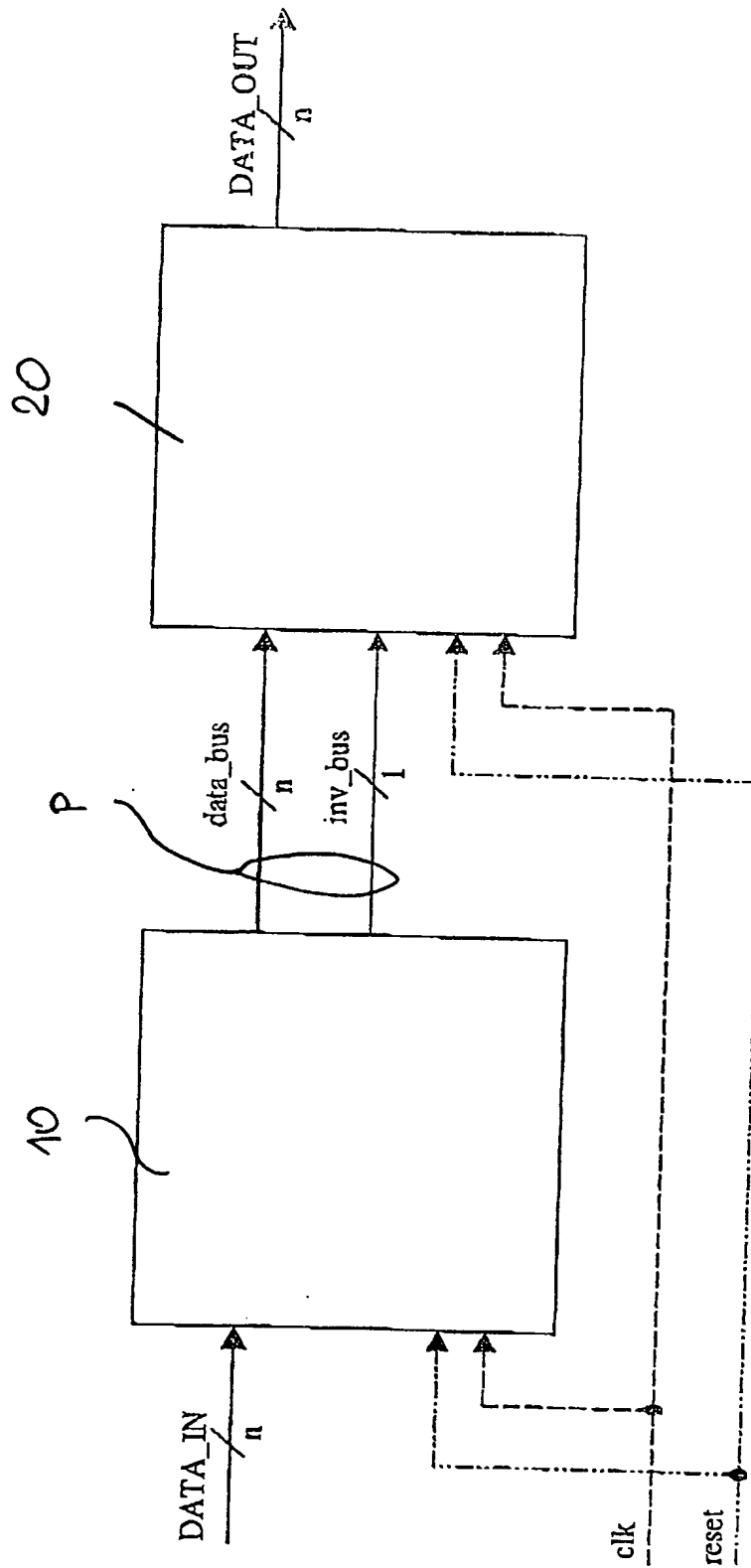


Fig. 3



Fig. 4

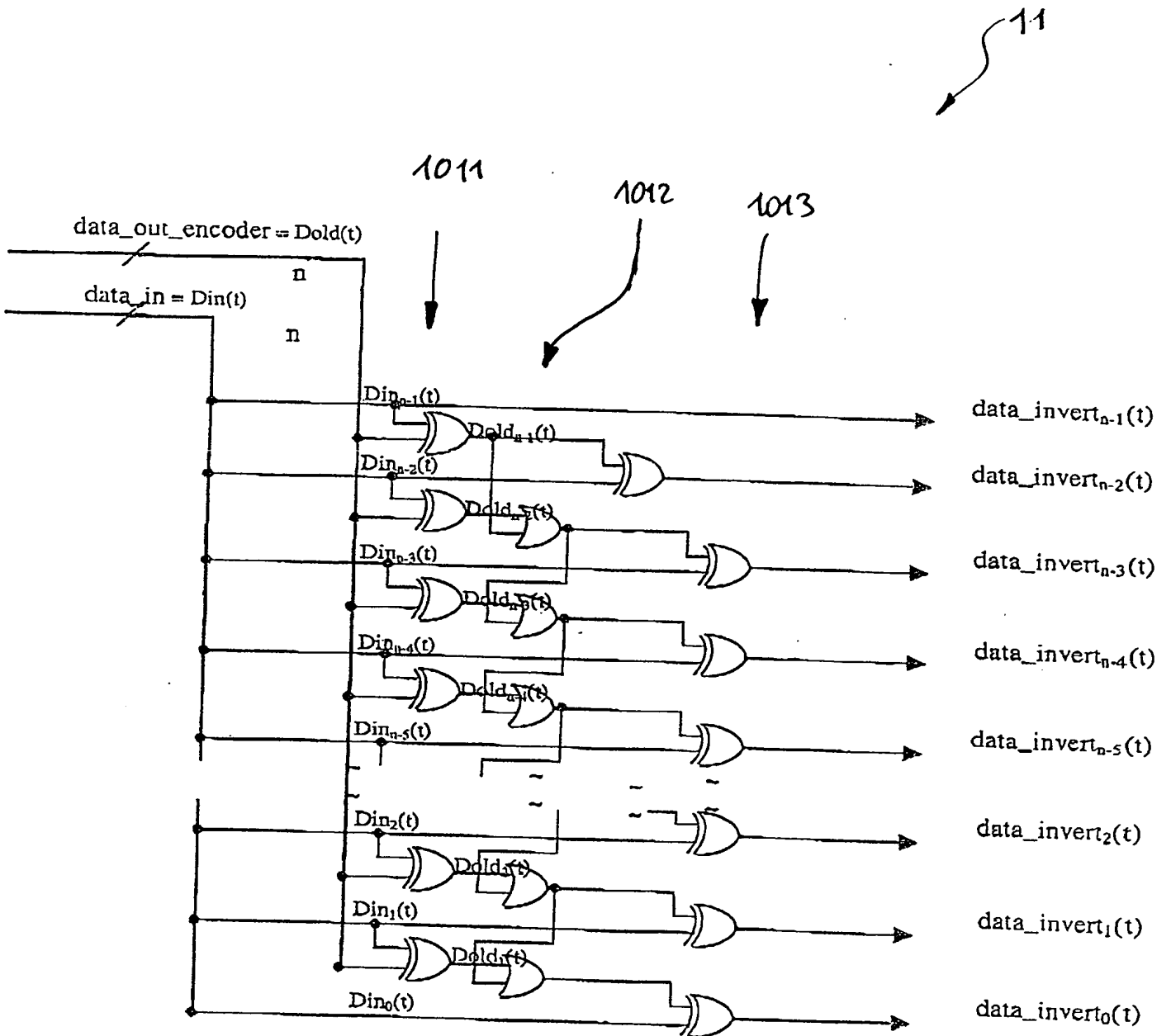


Fig. 5

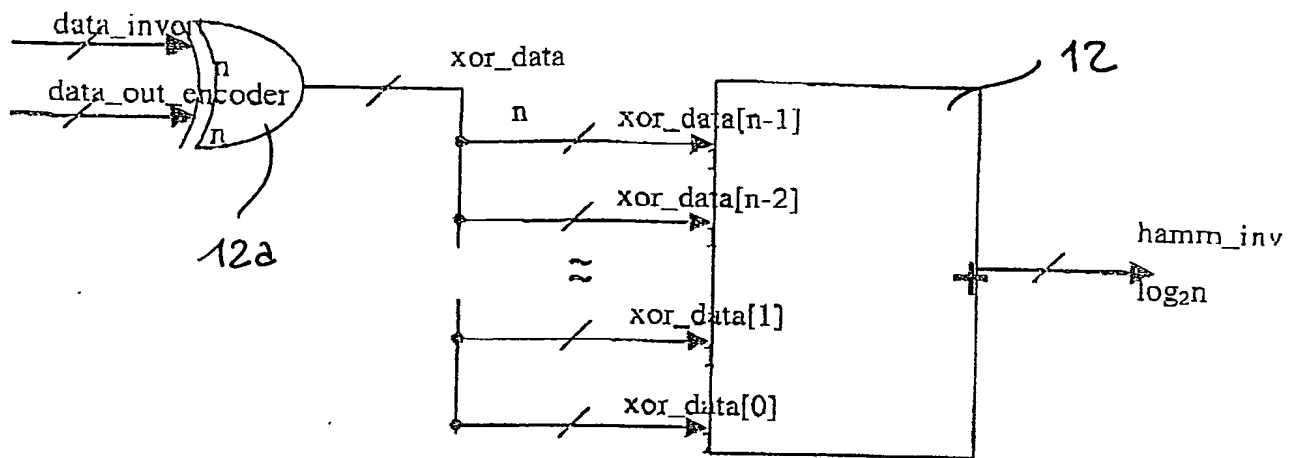


Fig. 6

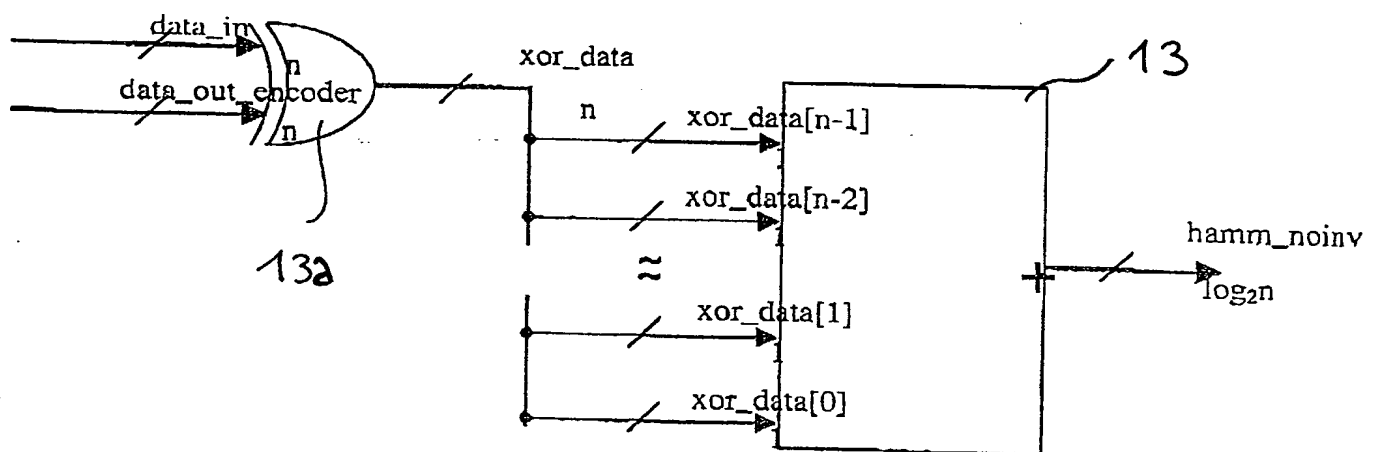


Fig. 7

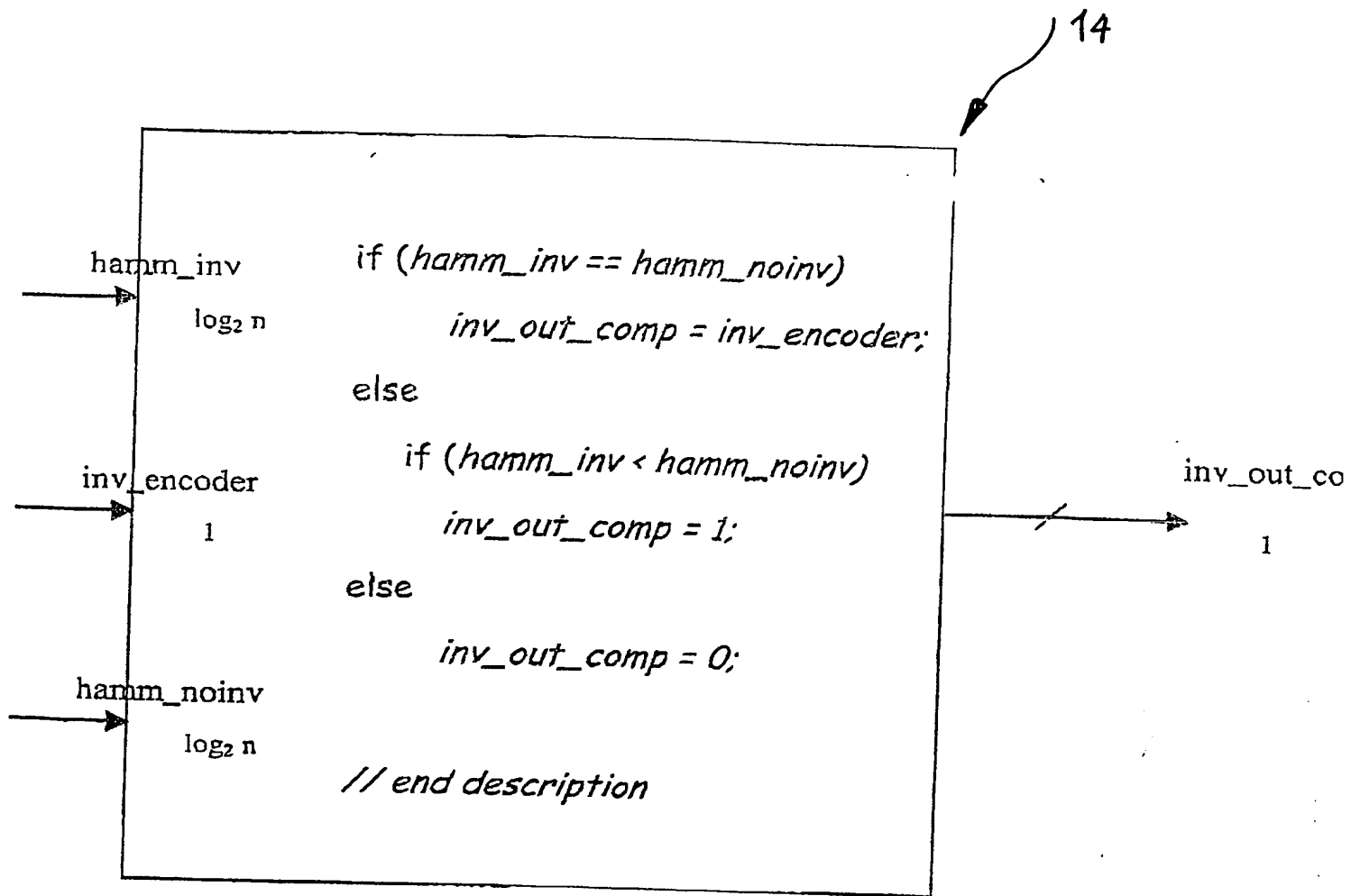


Fig. 8

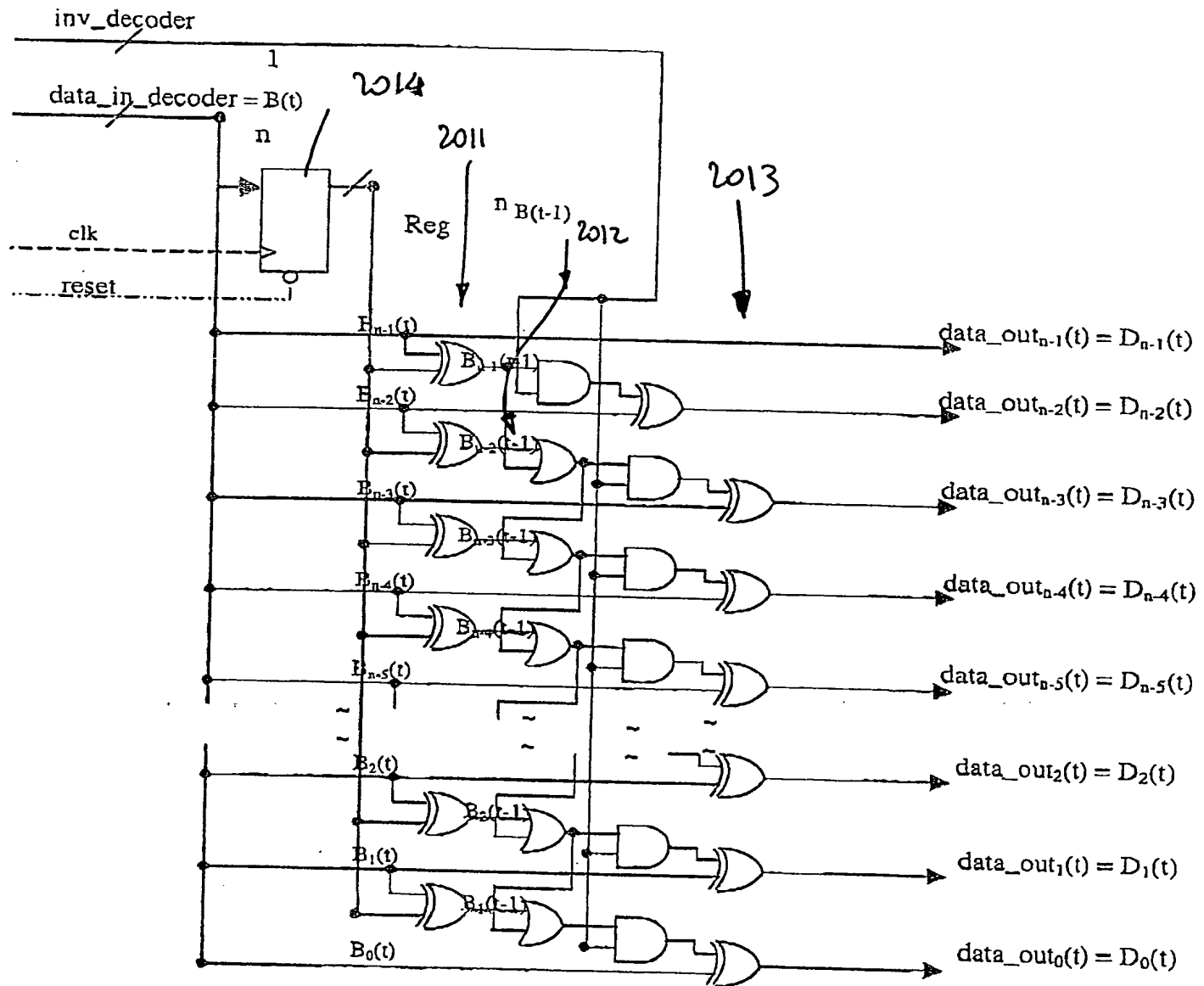


Fig. 9

10

9/12

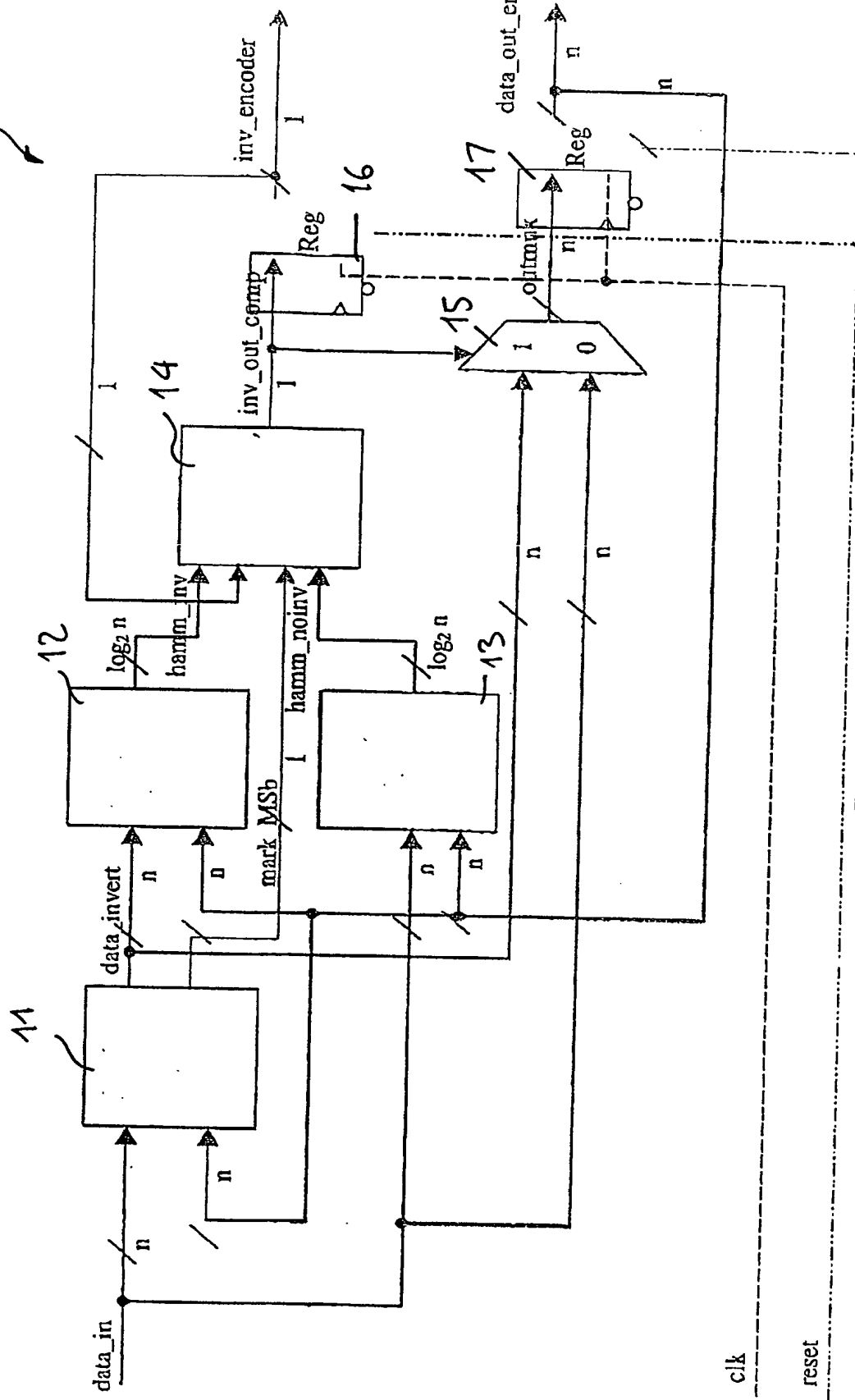


Fig. 10

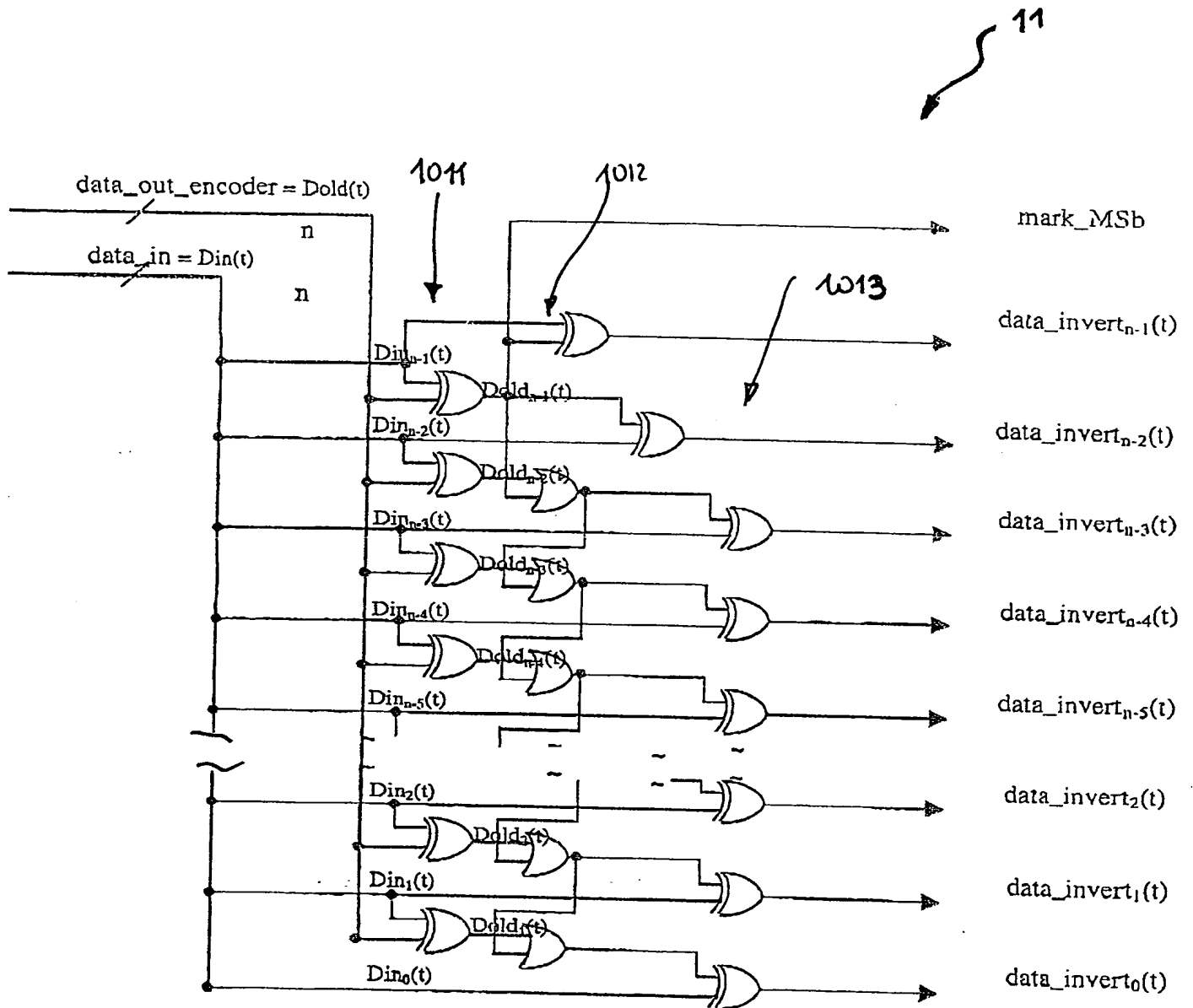


Fig. 11

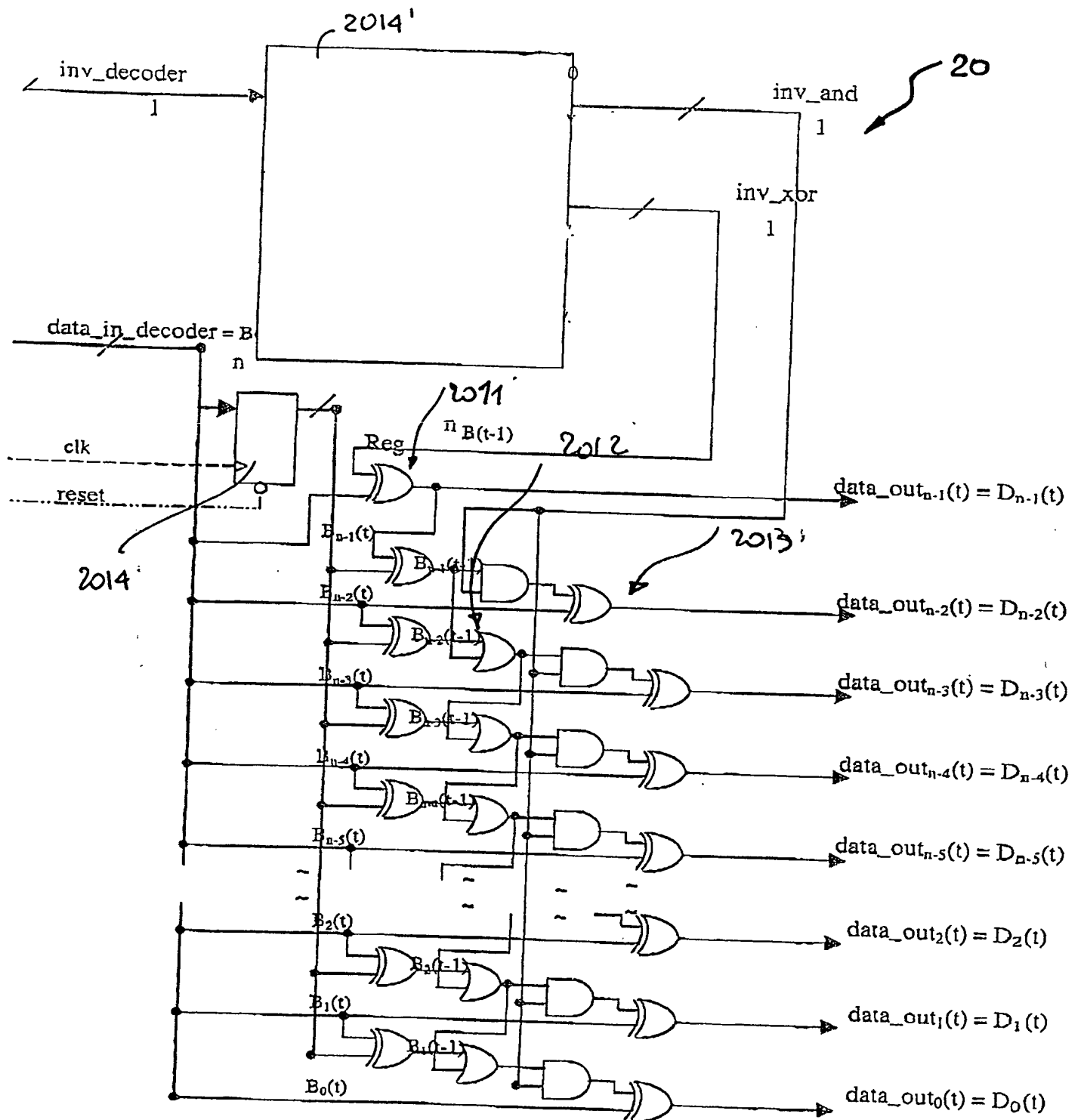


Fig. 13

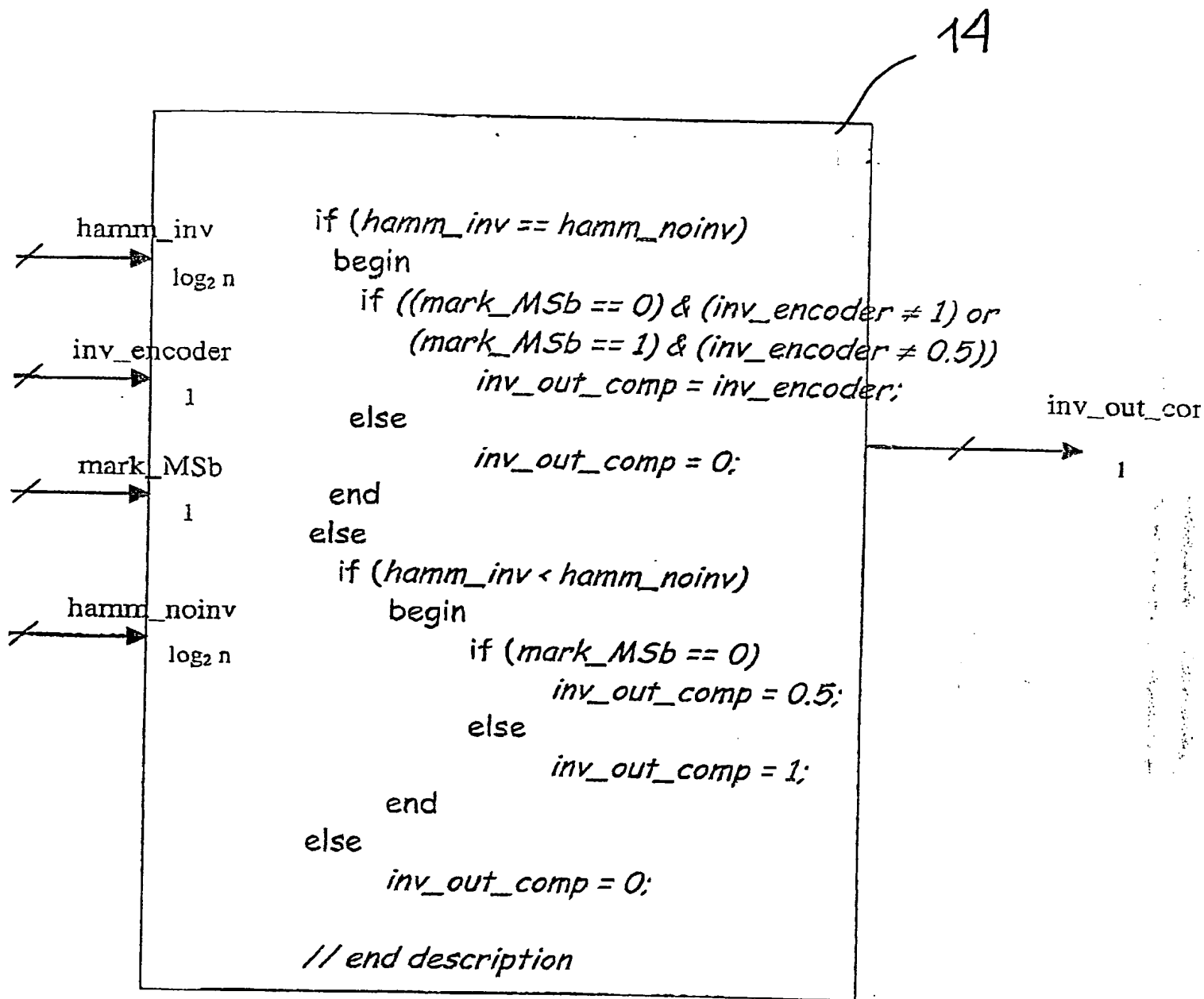


Fig 12